



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11054649 A**(43) Date of publication of application: **26 . 02 . 99**

(51) Int. Cl.

**H01L 23/12**(21) Application number: **10069675**(22) Date of filing: **19 . 03 . 98**(30) Priority: **06 . 06 . 97 JP 09148860**(71) Applicant: **MATSUSHITA ELECTRON CORP**

(72) Inventor:  
**SHIMOISHIZAKA NOZOMI**  
**SAWARA RYUICHI**  
**NAKAMURA YOSHIFUMI**  
**KUMAGAWA TAKAHIRO**  
**MURAKAMI SHINJI**  
**HARADA YUTAKA**

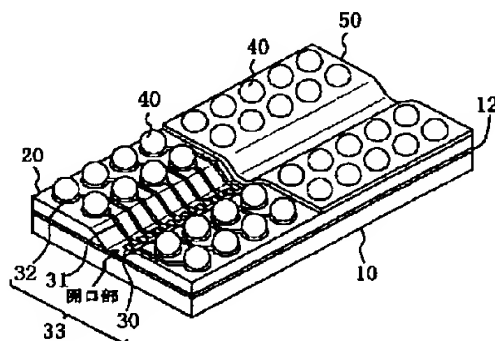
(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and a method of manufacturing such a semiconductor device which has high reliability obtained from stress relief and the like and which can reduce the number of process steps and the equipment cost, and whose manufacturing cost is low.

**SOLUTION:** A low elastic modulus layer 20 is provided on the main surface of a semiconductor substrate 10, the layer 20 having an opening for an electrode region where an element electrode is arranged. Lands 32 serving as external electrodes are provided on the layer 20, and a metal wiring pattern 33 integrating wires 31 for connecting pads 30 on the element electrode to the lands 32 is formed. A solder resist film 50 having an opening for part of each land 32 is formed, and a metal ball 40 is provided on each land 32 in the opening. The layer 20 absorbs stresses such as thermal stress accompanying the heating and cooling of the semiconductor device, so that breakage of the wires 31 can be prevented.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-54649

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.<sup>8</sup>  
H 0 1 L 23/12

識別記号

F I  
H 0 1 L 23/12

L

審査請求 未請求 請求項の数17 O L (全 12 頁)

(21)出願番号 特願平10-69675

(22)出願日 平成10年(1998) 3月19日

(31)優先権主張番号 特願平9-148860

(32)優先日 平 9 (1997) 6 月 6 日

(33)優先権主張国 日本 (J P)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72)発明者 下石坂 望

大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内

(72)発明者 佐原 隆一

大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内

(72)発明者 中村 嘉文

大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内

(74)代理人 弁理士 前田 弘 (外 2 名)

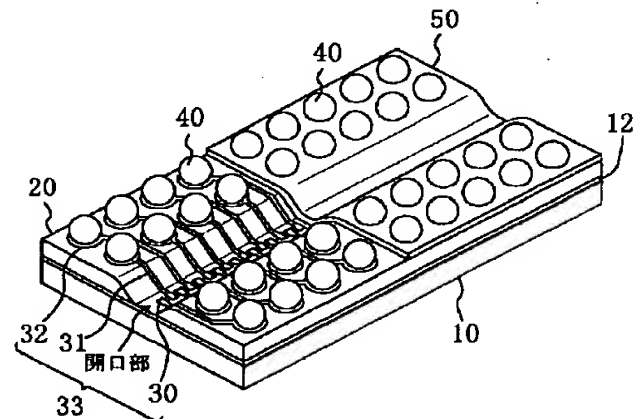
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 応力の緩和などによる信頼性の高い、かつ製造工数や設備コストの低減が可能で製造コストの安価な半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板 10 の主面上には、素子電極 11 が配置されている電極配置領域を開口させた低弾性率層 20 が設けられている。そして、低弾性率層 20 の上に外部電極となるランド 32 が設けられ、素子電極 11 の上のパッド 30 とランド 32 と両者を接続する金属配線 31 とを一体化した金属配線パターン 33 が構成されている。ランド 32 の一部を開口させたソルダーレジスト膜 50 が形成されており、その開口内のランド 32 の上に金属ボール 40 が設けられている。低弾性率層 20 で半導体装置の加熱・冷却に伴って発生する熱応力などの応力を吸収し、金属配線 31 の断線を防止できるように構成されている。



## 【特許請求の範囲】

【請求項 1】 半導体素子が配設されている半導体基板と、  
上記半導体基板の主面上に配列され、上記半導体素子に電気的に接続される素子電極と、  
上記半導体基板の主面上に形成され絶縁性の弾性材料からなる弾性体層と、  
少なくとも上記半導体基板上の上記素子電極を露出させるように上記弾性体層を部分的に除去して形成された開口部と、  
上記素子電極の上から上記弾性体層の上に亘って連続的に形成された金属配線層と、  
上記金属配線層の一部として上記弾性体層の上に設けられ、外部機器との電気的接続を行なうための外部電極とを備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、  
上記半導体基板は、ウエハ状態であることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、  
上記半導体基板は、ウエハから切り出されたチップ状態であることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、  
上記弾性体層のうち上記開口部付近の端部の断面形状は、半導体基板の表面に対して傾斜したくさび状であることを特徴とする半導体装置。

【請求項 5】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、  
上記弾性体層のうち上記開口部付近の端部の断面形状は、鋭角部分が面取りされた形状であることを特徴とする半導体装置。

【請求項 6】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、  
上記金属配線層を覆うように形成され導電性材料をはじく特性を有する保護膜と、  
上記保護膜を貫通して上記金属配線層の上記外部電極の少なくとも一部を露出させる開口とをさらに備え、  
上記外部電極端子は、上記開口内に露出している上記外部電極の少なくとも一部の上に設けられていることを特徴とする半導体装置。

【請求項 7】 請求項 1 又は 6 記載の半導体装置において、  
上記外部電極端子は、上記外部電極に接するように設けられた金属ボールにより構成されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 又は 6 記載の半導体装置において、  
上記外部電極端子は、上記外部電極に接するように設けられた導電性突起により構成されていることを特徴とする半導体装置。

【請求項 9】 請求項 6 記載の半導体装置において、  
上記保護膜の開口内に露出している上記外部電極の少なくとも一部が、上記外部電極端子としても機能することを特徴とする半導体装置。

【請求項 10】 請求項 1～9 のうちいずれか 1 つに記載の半導体装置において、  
上記半導体基板の上に上記素子電極の上方を開口して形成され、半導体素子を保護するためのパッシベーション膜をさらに備え、

10 上記弾性体層は、上記パッシベーション膜の上に形成されていることを特徴とする半導体装置。

【請求項 11】 半導体素子と該半導体素子に電気的に接続される素子電極とを有する半導体基板上に、絶縁性材料により構成される弾性体層を形成する第 1 の工程と、

上記弾性体層のうち上記素子電極の上方に位置する領域を選択的に除去して、  
上記素子電極を露出させる開口部を形成する第 2 の工程と、

20 上記弾性体層およびその開口部が形成された基板上に、  
上記開口部に露出している素子電極の上から上記弾性体層に亘り、一部が外部機器との電気的接続を行なうための外部電極として機能する金属配線層を形成する第 3 の工程とを備えている半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、

上記第 1～第 3 の工程は、ウエハのままの半導体基板を用いて行なわれ、

30 上記第 3 の工程の後に、上記ウエハを半導体チップ毎に分離する工程をさらに備えていることを特徴とする半導体装置。

【請求項 13】 請求項 11 記載の半導体装置の製造方法において、

上記第 1 の工程の前に、ウエハを半導体チップ毎に切り離す工程をさらに備え、

上記第 1～第 3 の工程は、チップ状態の半導体基板を用いて行なわれることを特徴とする半導体装置の製造方法。

40 【請求項 14】 請求項 11～13 のうちいずれか 1 つに記載の半導体装置の製造方法において、  
上記第 2 の工程では、上記弾性体層のうち上記開口部付近の端部の断面形状を、半導体基板の表面に対して傾斜したくさび状に形成することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 11～14 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記第 3 の工程の後に、上記外部電極の少なくとも一部を除く上記金属配線層を覆う保護膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 11 又は 15 に記載の半導体装置の製造方法において、  
上記金属配線層の上記外部電極の上に金属ボールを搭載する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置の製造方法において、  
上記第 3 の工程の後に、上記外部電極に電気的に接続可能な端子を有する検査ボードを上記半導体基板の上に設置して、上記半導体装置の検査を行なう工程をさらに備えていることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は、情報通信機器、事務用電子機器等に利用される半導体集積回路部を内蔵し、さらに外部端子との接続配線などを有し、高密度実装が可能な半導体装置およびその製造方法に関するものである。

#### 【0002】

【従来の技術】 近年、電子機器の小型化、高機能化に伴い、半導体集積回路部を内蔵した半導体装置も、小型化、高密度化、実装作業の迅速性などを要求されるようになり、たとえばメモリー用パッケージとしては LOC（リード・オン・チップ）あるいは SON（スモール・アウトライン・ノンリード）等の開発、あるいは TAB テープを利用した  $\mu$ BGA（マイクロ・ボール・グリッド・アレイ）（特表平 06-504408 号）といったパッケージが開発されている。

【0003】 以下、従来の  $\mu$ BGA と呼ばれる半導体装置およびその製造方法について図面を参照しながら説明する。

【0004】 図 10 は、従来の  $\mu$ BGA と呼ばれる半導体装置を示す断面図である。図 10 において、101 は半導体素子を内蔵する半導体チップ、102 は半導体チップ 101 上に形成された柔軟性シート状の配線回路シート、103 は半導体チップ 101 と配線回路シート 102 との間に介在するしなやかな低弾性率材料、104 は配線層の一部となる部分リード、105 は半導体チップ 101 内の半導体素子に電気的につながっている素子電極、106 は配線回路シート 102 の表面上に形成され外部装置との電気的接続を行なうための電極である。

【0005】 同図に示すように、従来の  $\mu$ BGA と呼ばれる半導体装置は、半導体チップ 101 上に低弾性率材料 103 を介して配線回路シート 102 が形成された構造を有しており、半導体チップ 101 上の素子電極 105 と配線回路シート 102 上の表面の電極 106 とが、部分リード 104 により電気的に接続されたものである。

【0006】 次に、上記従来の半導体装置の製造方法について、同図を参照しながら説明する。

【0007】 まず、半導体チップ 101 上に、低弾性率材料 103 を介して柔軟性シート状の配線回路シート 102 を接合する。この配線回路シート 102 は内部に配線パターンを内蔵し、配線回路シート 102 の上には配線パターンに接続される電極 106 が設けられ、さらに電極 106 から部分リード 104 が延びている構造となっている。この場合の低弾性率材料 103 は、絶縁材料であり、接着機能を有するものである。

【0008】 次に「TAB」（テープ・オートメテッド・ボンディング）作業で結合するのに通常用いられる従来の熱圧着、または超音波ボンディング技術を用いて部分リード 104 と素子電極 105 を電気的に接続する。以上により、半導体装置を製造していた。

【0009】 すなわち、このような半導体装置の構造を採用することにより、応力を緩和しながら配線回路シート 102 の上に二次元的に形成される多数の電極 106 を介して外部機器との電気的接続が可能となるので、情報通信機器、事務用電子機器等の小型化を図ろうとするものである。

#### 【0010】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体装置においては、以下のような諸問題があった。

【0011】 第 1 に、上記従来の半導体装置では、あらかじめ配線回路シート 102 を作成する必要があるため、製造工数が増大する。また、配線回路シート 102 自体が高価である。さらに、半導体チップ 101 上に、点弾性材料 103 を介して配線回路シート 102 を接合する作業を行うためには、高性能なマウンタ（搭載設備）を配備している必要があり、設備コストが高くつく。その結果、全体的に半導体装置の製造コストが高くつくという問題があった。

【0012】 第 2 に、素子電極 105 と配線回路シート 102 から延びる部分リード 104 とを接続する際、特に微細配線の接続の場合には、部分リード 104 の幅や厚みが小さくなり、形状が安定しないため素子電極 105 との接続が困難となる。そのために、製造コストが高くつくと共に接続後の信頼性にも乏しいという問題があった。

【0013】 第 3 に、このような半導体装置は、構造上、半導体チップ 101 がウエハから切り出された後でなければ形成することができないために、作業の迅速性に欠けるとともに、半導体装置の検査もウエハ状態では行なうことができず、半導体装置の製造コストの低減に対する大きな障壁となっている。

【0014】 本発明は上記従来の諸課題を解決するものであり、その目的は、製造工程の最終段階に近い状態までウエハレベルで形成可能な、かつ、信頼性や実装密度の高い低コストの半導体装置及びその製造方法を提供することにある。

## 【0015】

【課題を解決するための手段】上記目的を達成するために本発明では、請求項 1～10 に記載されている半導体装置に関する手段と、請求項 11～17 に記載されている半導体装置の製造方法に関する手段とを講じている。

【0016】本発明の基本的な半導体装置は、請求項 1 に記載されているように、半導体素子が配設されている半導体基板と、上記半導体基板の主面上に配列され、上記半導体素子に電気的に接続される素子電極と、上記半導体基板の主面上に形成され絶縁性の弾性材料からなる弾性体層と、少なくとも上記半導体基板上の上記素子電極を露出させるように上記弾性体層を部分的に除去して形成された開口部と、上記素子電極の上から上記弾性体層の上に亘って連続的に形成された金属配線層と、上記金属配線層の一部として上記弾性体層の上に設けられ、外部機器との電気的接続を行なうための外部電極とを備えている。

【0017】これにより、弾性体層の上に金属配線層の外部電極が形成されているので、マザー・ボードへの実装後に、マザー・ボードと半導体装置との熱膨張率差によって接続部に加わる応力が弾性体の弾性によって吸収される。すなわち、応力の緩和機能の高い半導体装置を実現することができる。

【0018】そして、素子電極につながる金属配線層が外部電極をも含めて一体的に設けられているので、半導体基板上に堆積した金属膜をパターンニングすることにより形成可能な構造となる。したがって、上記従来の半導体装置のような配線回路シートやそのための設備は不要であり、製造に際しても、上記従来の半導体装置の製造工程における部分リードと素子電極とを熱圧着により接続する工程は不要となる。よって、製造設備や製造工数の削減と、接続の困難性の回避とが可能となり、製造コストの低減を図ることができる。

【0019】しかも、半導体基板がウエハのままであっても金属配線層を形成できる構造となるので、製造工程が簡素化できる。

【0020】上記半導体装置における上記半導体基板は、請求項 2 に記載されているようにウエハ状態であってもよいし、請求項 3 に記載されているようにウエハから切り出されたチップ状態であってもよい。

【0021】上記半導体装置における上記弾性体層のうち上記開口部付近の端部の断面形状は、請求項 4 に記載されているように半導体基板の表面に対して傾斜したくさび状であるか、あるいは、請求項 5 に記載されているように鋭角部分が面取りされた形状であることが好ましい。

【0022】これらのいずれかにより、金属配線層の一部に大きな集中応力の印加が回避されるので、金属配線層の断線等を防止することができ、半導体装置の信頼性が向上する。

【0023】請求項 6 に記載されているように、上記半導体装置において、上記金属配線層を覆うように形成され導電性材料をはじく特性を有する保護膜と、上記保護膜を貫通して上記金属配線層の上記外部電極の少なくとも一部を露出させる開口とをさらに備え、上記外部電極端子は、上記開口内に露出している上記外部電極の少なくとも一部の上に設けられていることが好ましい。

【0024】これにより、金属配線層とマザー・ボード上の配線電極との間の電気的短絡などのない正常な接続関係を維持しながら、マザー・ボード上への実装性のよい半導体装置が実現できる。

【0025】上記半導体装置における上記外部電極端子は、請求項 7 に記載されているように上記外部電極に接するように設けられた金属ボールにより構成してもよいし、請求項 8 に記載されているように上記外部電極に接するように設けられた導電性突起により構成してもよい。

【0026】また、請求項 9 に記載されているように、保護膜の開口内に露出している上記外部電極の少なくとも一部を、上記外部電極端子としても機能させることもできる。

【0027】請求項 10 に記載されているように、上記半導体装置において、上記半導体基板の上に上記素子電極の上方を開口して形成され、半導体素子を保護するためのパッシベーション膜をさらに設けて、上記弾性体層を上記パッシベーション膜の上に形成しておくことができる。

【0028】これにより、より信頼性の高い半導体装置を得ることができる。

【0029】本発明の半導体装置の製造方法は、請求項 11 に記載されているように、半導体素子と該半導体素子に電気的に接続される素子電極とを有する半導体基板上に絶縁性材料により構成される弾性体層を形成する第 1 の工程と、上記弾性体層のうち上記素子電極の上方に位置する領域を選択的に除去して上記素子電極を露出させる開口部を形成する第 2 の工程と、上記弾性体層およびその開口部が形成された基板上に上記開口部に露出している素子電極の上から上記弾性体層に亘り一部が外部機器との電気的接続を行なうための外部電極として機能する金属配線層を形成する第 3 の工程とを備えている。

【0030】この方法により、半導体基板上に堆積した金属膜をパターンニングすることにより、素子電極につながる金属配線層を外部電極をも含めて一体的に形成することができるので、上記従来の半導体装置のような配線回路シートやそのための設備は不要であり、かつ上記従来の半導体装置の製造工程における部分リードと素子電極とを熱圧着により接続する工程は不要となる。よって、製造設備や製造工数の削減を図ることができる。また、素子電極上に金属配線層を形成するだけで両者が電気的に接続されるので、上記従来の半導体装置のごとく

部分リードと素子電極との接続のような困難性は生じない。よって、製造コストの低減を図りつつ、請求項 1 の半導体装置を容易に実現することができる。

【0031】請求項 1 2 に記載されているように、上記半導体装置の製造方法において、上記第 1 ～第 3 の工程を、ウエハのままの半導体基板を用いて行ない、上記第 3 の工程の後に、上記ウエハを半導体チップ毎に分離する工程をさらに備えることが好ましい。

【0032】この方法により、チップに分割される前のウエハのままで、多数のチップ領域における弾性体層や金属配線層などが形成されるので、製造コストを大幅に低減することができる。

【0033】請求項 1 3 に記載されているように、上記半導体装置の製造方法において、上記第 1 の工程の前にウエハを半導体チップ毎に切り離す工程をさらに備え、上記第 1 ～第 3 の工程をチップ状態の半導体基板を用いて行なってもよい。

【0034】請求項 1 4 に記載されているように、上記半導体装置の製造方法において、上記第 2 の工程では、上記弾性体層のうち上記開口部付近の端部の断面形状を、半導体基板の表面に対して傾斜したくさび状に形成することが好ましい。

【0035】この方法により、断線等の少ない信頼性の高い金属配線層を形成することができる。

【0036】請求項 1 5 に記載されているように、上記半導体装置の製造方法において、上記第 3 の工程の後に、上記外部電極の少なくとも一部を除く上記金属配線層を覆う保護膜を形成する工程をさらに備えることが好ましい。

【0037】この方法により、はんだ等の接続部材を用いて半導体装置の外部電極とマザー・ボードの配線との接続を容易かつ迅速に行なうことができる。

【0038】請求項 1 6 に記載されているように、上記半導体装置の製造方法において、上記金属配線層の上記外部電極の上に金属ボールを搭載する工程をさらに備えることが好ましい。

【0039】この方法により、金属ボールを利用してマザー・ボード上への実装を極めて迅速に行なうことができる半導体装置が形成されることになる。

【0040】請求項 1 7 に記載されているように、請求項 1 ～3 のうちいずれか 1 つに記載の半導体装置の製造方法において、上記第 3 の工程の後に、上記外部電極に電気的に接続可能な端子を有する検査ボードを上記半導体基板の上に設置して、上記半導体装置の検査を行なう工程をさらに備えることができる。

【0041】この方法により、弾性体層によって、検査の際に外部電極を介して金属配線層に加わる応力を吸収しながら半導体装置の検査を行なうことができる。

【0042】

【発明の実施の形態】以下、本発明の実施形態につい

て、図面を参照しながら説明する。

【0043】（第 1 の実施形態）まず、本発明の第 1 の実施形態について、図 1 ～図 4 を参照しながら説明する。図 1 は、本実施形態における半導体装置をソルダーレジスト膜の一部を開口して示す斜視図であり、図 2 は本実施形態に係る半導体装置の断面図、図 3 (a) ～(e) 及び図 4 (a) ～(d) は本実施形態における半導体装置の製造工程を示す断面図である。

【0044】図 1 および図 2 において、10 はトランジスタ等の半導体素子によって構成される半導体集積回路を内部に有する半導体基板である。この半導体基板 10 は、ウエハ状態であってもよいし、ウエハから切り出されたチップ状態であってもよい。この半導体基板 10 の主面の一部（電極配置領域）には、半導体基板 10 の素子電極 11 に接続されるパッド 30 が配置されている。ただし、本実施形態では、電極配置領域は、半導体基板がチップに分割されている場合には、その中央部である。また、半導体基板 10 の主面上において、パッド 30 が配置された電極配置領域を除く領域に弾性率の小さい絶縁性材料からなる低弾性率層 20 が設けられている。この低弾性率層 20 は、パッド 30 が形成されている半導体基板 10 の主面に至るくさび状の傾斜部を有している。つまり、半導体基板 10 の主面に垂直ではなく鋭角部分の無いくさび状を有している。低弾性率層 20 の上には、半導体基板 10 内の半導体素子と外部機器との間に流れる信号を入出力するための外部電極として機能するランド 32 が設けられており、このランド 32 とパッド 30 との間を接続する金属配線 31 が設けられている。上記パッド 30 と金属配線 31 とランド 32 とは同一の金属層からなり、併せて金属配線パターン 33 を構成している。そして、ランド 32 の上には、外部電極端子として機能する金属ボール 40 が設けられている。また、半導体装置全体の上には、金属ボール 40 が形成されている領域を露出して、その他の領域を覆うソルダーレジスト膜 50 が形成されている。つまり、ソルダーレジスト膜 50 の開口部に露出するランド 32 に金属ボール 40 が接合された構造となっている。

【0045】なお、半導体基板 10 の主面のうちパッド 30 以外の領域は、パッシベーション膜 12 によって覆われている。

【0046】本実施形態の半導体装置によると、下地となる低弾性率層 20 の上に金属配線 31 を設けているので、半導体装置をプリント基板等のマザー・ボードの上に実装する際などにおいて、半導体装置の加熱・冷却に伴い金属配線 31 に熱応力などの応力が印加されても、金属配線 31 に加わる応力が緩和される。よって、基板実装時などにおける金属配線 31 の断線を防止することができ、信頼性の高い配線構造を実現することができる。

【0047】そして、半導体装置の主面上に二次元的に

外部電極端子となるランド 32 が配置されているので、狭い面積に多数の外部電極端子を設けることが可能となるとともに、パターン形成可能な金属配線 31 によりパッド 30 とランド 32 と接続することができる構造である。したがって、小型で薄型の半導体装置であり、かつ多ピン化に対応できる半導体装置である。

【0048】しかも、半導体基板 10 上の素子電極 11 と外部との接続端子（ランド 32）との間に従来のような部分リードを設けるのではなく、エッチング等によるパターニングが可能な金属配線 31 により素子電極 11 と接続するものであるため、微細加工に適し、多ピン化に対応できる半導体装置である。

【0049】さらに、金属配線 31 につながるランド 32 の上に外部電極端子となる金属ボール 40 が設けられ、プリント基板等のマザー・ボードに半導体装置を搭載する工程が極めて簡易かつ迅速に行なうことができる構造となっているが、その際にも、低弾性率層 20 により、大きな熱容量を有する金属ボール 40 から発生する熱応力を吸収できる。

【0050】特に、半導体基板 10 の主面上の電極配置領域に形成された低弾性率層 20 の端部の断面形状が鋭角部分の無いくさび状であるので、金属配線 31 が形成しやすく、かつ金属配線 31 が断線しにくいという特徴を有している。

【0051】ここで、本実施形態及び後述の各実施形態における低弾性率層 20 の厚みは、 $10 \sim 150 \mu\text{m}$  であることが好ましい。また、低弾性率層 20 の弾性率（ヤング率）は  $10 \sim 2000 \text{ kg/mm}^2$  の範囲にあることが好ましく、さらに  $10 \sim 1000 \text{ kg/mm}^2$  の範囲にあることがより好ましい。また、低弾性率層 20 の線膨張率は  $5 \sim 200 \text{ ppm/}^\circ\text{C}$  の範囲にあることが好ましく、さらに  $10 \sim 100 \text{ ppm/}^\circ\text{C}$  の範囲にあることがより好ましい。

【0052】次に、本実施形態の半導体装置での製造方法について、図 3 (a) ～ (e) 及び図 4 (a) ～

(d) を参照しながら説明する。図 3 (a) ～ (e) 及び図 4 (a) ～ (d) は、図 1 及び図 2 に示す半導体装置の構造を実現するための製造工程を示す断面図である。

【0053】まず、図 3 (a) に示すように、半導体基板 10 の主面にそれぞれ形成された半導体基板 10 の素子電極 11 とパッシベーション膜 12 との上に、感光性を有する絶縁材料を  $100 \mu\text{m}$  程度の厚みで塗布して乾燥することにより絶縁材料膜 21 を形成する。

【0054】なお、本半導体装置を基板実装した際の熱応力を軽減するためには感光性絶縁材料膜 21 の塗布厚は、塗布以降の工程に支障のない範囲で厚い方が良く、例えば  $500 \mu\text{m}$  程度でも良いし  $1 \text{ mm}$  程度でも良い。

【0055】次に、図 3 (b) に示すように、乾燥された絶縁材料膜 21 に対して露光と現像とを順次行つて、

半導体基板 10 の素子電極 11 の部分が開口した低弾性率層 20 を形成する。この場合において、例えば露光で平行光ではなく散乱光を使用して、開口部における低弾性率層 20 の断面形状を、半導体基板 10 の主面に対して垂直ではなく鋭角部分のないくさび状にして形成する。

【0056】なお、感光性を有する絶縁材料膜 21 としては、例えばエステル結合型ポリイミドやアクリレート系エポキシ等のポリマーでよく、低弾性率を有し、絶縁性であればよい。

【0057】また、感光性を有する絶縁材料膜 21 は液状材料を乾燥させて形成する必要はなくフィルム状に予め形成された材料を用いても構わない。その場合には、フィルム状の絶縁材料膜 21 を半導体基板 10 上に貼りあわせ、露光、現像することで絶縁性材料膜 21 に開口部を形成することができ、半導体基板 10 上の素子電極 11 を露出させることができる。

【0058】さらに、絶縁材料膜 21 を構成する絶縁材料が感光性を有する必要はない。感光性を有しない絶縁材料を用いる場合には、レーザーやプラズマによる機械的な加工もしくはエッチングなどの化学的加工により、半導体基板 10 上の素子電極 11 を露出させることができる。

【0059】次に、図 3 (c) に示すように、半導体基板 10 の主面において、真空蒸着法、スパッタリング法、CVD 法又は無電解めっき法によって例えば厚みが  $0.2 \mu\text{m}$  程度の Ti 膜とその上に形成された厚みが  $0.5 \mu\text{m}$  程度の Cu 膜からなる薄膜金属層 13 を形成する。

【0060】次に、図 3 (d) に示すように、薄膜金属層 13 上にネガ型感光性レジストを塗布し、仕上げ製品の所望のパターン部以外を硬化し、反応部を除去することでメッキレジスト膜 14 を形成する。

【0061】なお、ここではメッキレジスト膜 14 を形成する際にネガ型感光性レジストを用いたが、ポジ型感光性レジストを用いてもよいことは言うまでもない。

【0062】その後、図 3 (e) に示すように、電解めっき法により、メッキレジスト膜 14 が形成された箇所以外の薄膜金属層 13 の上に、例えば Cu 膜からなる厚膜金属層 15 を例えば  $20 \mu\text{m}$  程度の厚みで選択的に形成する。

【0063】次に、図 4 (a) に示すように、厚膜金属層 15 の形成後、メッキレジスト膜 14 を熔融除去する。

【0064】次に、図 4 (b) に示すように、薄膜金属層 13 と厚膜金属層 15 とを熔融することのできるエッチング液、例えば Cu 膜に対しては塩化第二銅溶液で、Ti 膜に対しては EDTA 溶液で全面エッチングすると、厚膜金属層 15 よりも層厚が薄い薄膜金属層 13 が先行して除去される。この工程によって、半導体基板 1

0の主面において、パッド30と金属配線31とランド32とからなる所定の金属配線パターン33が形成される。

【0065】この際、メッキレジスト膜14の除去後、フォトリソグラフィ技術を用いて所望のパターン状を有するエッチングレジスト膜を形成し、厚膜金属層15を保護しても構わない。

【0066】次に、図4(c)に示すように、低弾性率層20の上に感光性ソルダーレジスト膜を塗布した後に、フォトリソグラフィ技術を使用して、ランド32の部分のみが露出するようにしてソルダーレジスト膜50を形成する。該ソルダーレジスト膜50によって、金属配線パターン33のうちランド32以外の部分であるパッド30と金属配線31とが、熔融したはんだから保護される。

【0067】次に、図4(d)に示すように、はんだ、はんだめっきされた銅、ニッケル等からなる金属ボール40をランド32の上に載置して、金属ボール40とランド32とを熔融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0068】本実施形態の半導体装置の製造方法では、半導体基板10の表面上の素子電極11を露出させるための低弾性率層20の開口の端部に段差を設けるのではなく傾斜させて半導体基板10の表面になめらかにつながるように形成することにより、金属配線31を形成しやすく、また断線しにくい構造を構成することができる。

【0069】なお、薄膜金属層13や厚膜金属層15を構成する材料としてCuを使用したか、これに代えてCr、W、Ti/Cu、Ni等を使用してもよい。また、薄膜金属層13と厚膜金属層15とをそれぞれ異なる金属材料により構成しておき、最終的なエッチング工程では薄膜金属層13のみを選択的にエッチングするエッチャントを用いてもよい。

【0070】(第2の実施形態) 次に、本発明の第2の実施形態について図面を参照しながら説明する。図5は、第2の実施形態における半導体装置をソルダーレジスト膜の一部を開口して示す斜視図である。

【0071】図5において、10はトランジスタ等の半導体素子によって構成される半導体集積回路を内部に有する半導体基板である。この半導体基板10は、ウェハ状態であってもよいし、ウェハから切り出されたチップ状態であってもよい。この半導体基板10の主面の一部(電極配置領域)には、半導体基板10の素子電極(図示せず)に接続されるパッド30が配置されている。ただし、本実施形態では、電極配置領域は、半導体基板がチップに分割されている場合には、その中央部である。また、半導体基板10の主面上において、パッド30が配置された電極配置領域を除く領域に弾性率の小さい絶縁性材料からなる低弾性率層20が設けられている。こ

の低弾性率層20は、パッド30が形成されている半導体基板10の主面に至るくさび状の傾斜部を有している。つまり、半導体基板10の主面に垂直ではなく鋭角部分の無いくさび状を有している。低弾性率層20の上には、半導体基板10内の半導体素子と外部機器との間に流れる信号を入出力するための外部電極として機能するランド32が設けられており、このランド32とパッド30との間を接続する金属配線31が設けられている。上記パッド30と金属配線31とランド32とは同一の金属層からなり、併せて金属配線パターン33を構成している。なお、半導体基板10の主面のうちパッド30以外の領域は、パッシベーション膜12によって覆われている。以上の構造は、図1に示す第1の実施形態における半導体装置と同じである。

【0072】ここで、本実施形態に係る半導体装置の特徴は、ソルダーレジスト膜50の開口部に露出するランド32の上には、外部電極端子として金属ボール40の代わりに導電性突起41が設けられている。

【0073】この導電性突起41を構成する材料の例としては、はんだクリームを印刷熔融してランド32上に形成されたはんだバンプや、熔融はんだ内にディップすることによって形成されたはんだバンプ、無電解メッキによりランド32上に形成されたニッケル/金バンプなどがある。ただし、これらの材料に限定されるものではない。

【0074】本実施例の半導体装置によると、外部電極端子として金属ボール40の代わりに導電性突起41を設けているので、ランド32の上に各金属ボール40を順次搭載していくという手間の掛かる工程とが不要となり、低コストの半導体装置を実現することができる。

【0075】(第3の実施形態) 次に、本発明の第3の実施形態について図面を参照しながら説明する。

【0076】図6は、第2の実施形態における半導体装置をソルダーレジスト膜の一部を開口して示す斜視図である。

【0077】図6において、10はトランジスタ等の半導体素子によって構成される半導体集積回路を内部に有する半導体基板である。この半導体基板10は、ウェハ状態であってもよいし、ウェハから切り出されたチップ状態であってもよい。この半導体基板10の主面の一部(電極配置領域)には、半導体基板10の素子電極(図示せず)に接続されるパッド30が配置されている。ただし、本実施形態では、電極配置領域は、半導体基板がチップに分割されている場合には、その中央部である。また、半導体基板10の主面上において、パッド30が配置された電極配置領域を除く領域に弾性率の小さい絶縁性材料からなる低弾性率層20が設けられている。この低弾性率層20は、パッド30が形成されている半導体基板10の主面に至るくさび状の傾斜部を有している。つまり、半導体基板10の主面に垂直ではなく鋭角



部分の無いくさび状を有している。低弾性率層 20 の上には、半導体基板 10 内の半導体素子と外部機器との間に流れる信号を入出力するためのランド 32 が設けられており、このランド 32 とパッド 30 との間を接続する金属配線 31 が設けられている。上記パッド 30 と金属配線 31 とランド 32 とは同一の金属層からなり、併せて金属配線パターン 33 を構成している。なお、半導体基板 10 の主面のうちパッド 30 以外の領域は、パッシベーション膜 12 によって覆われている。以上の構造は、図 1 に示す第 1 の実施形態における半導体装置と同じである。

【0078】ここで、本実施形態に係る半導体装置の特徴は、ソルダーレジスト膜 50 の開口部に露出するランド 32 の上には、金属ボール 40 や導電性突起 41 が設けられておらず、ランド 32 自体が外部電極端子として機能している点である。すなわち、本実施形態の半導体装置は、ランド・グリッド・アレイ (LGA) 型の半導体装置である。

【0079】本実施形態に係る半導体装置をマザー・ボードの上に実装する際には、マザー・ボードの接続端子上にはんだクリームを塗布してリフローさせるなどの方法によって、容易にランド 32 とマザー・ボード上の接続端子との電気的な接続を行なうことができる。

【0080】本実施形態によると、金属ボール 40 を設ける代わりに金属配線パターン 33 の一部であるランド 32 を外部電極端子として用いる構造をとったことにより、各金属ボール 40 を順次形成する工程や、はんだなどの導電性突起 41 を形成する工程が不要となり、極めて低コストかつ低実装高さの半導体装置を実現することができる。

【0081】(第 4 の実施形態) 次に、第 4 の実施形態について、図 7 を参照しながら説明する。図 7 は、第 4 の実施形態の半導体装置のソルダーレジスト膜を全面的に開口して示す斜視図である。

【0082】図 7 に示すように、本実施形態に係る半導体装置においては、チップ状態の半導体基板 10 の主面上における外周部に、半導体基板の素子電極 (図示せず) に接続されるパッド 30 が配置されている。また、半導体基板 10 の主面上には、上記パッド 30 が配置された外周部を除く領域に、弾性率の小さい絶縁性材料からなる低弾性率層 20 が設けられている。この低弾性率層 20 の端部は、上記第 1 の実施形態と同様に、くさび状に形成されている。そして、低弾性率層 20 の上には、半導体基板 10 内の半導体素子と外部機器との間で信号を入出力するための外部電極端子として機能するランド 32 が設けられている。そして、半導体基板 10 の主面上のパッド 30 から低弾性率層 20 上まで延びて、ランド 32 に接続される金属配線 31 が形成されている。上記第 1 の実施形態と同様に、このパッド 30、金属配線 31 及びランド 32 は同じ金属材料により一体的

に形成されて金属配線パターン 33 を構成するものである。なお、半導体基板 10 の主面のうちパッド 30 以外の領域は、パッシベーション膜 12 によって覆われている。そして、ランド 32 の上には、突起状の外部端子である金属ボール 40 が設けられている。

【0083】以上のように本実施例によれば、マザー・ボードとの電気的接続を行なうための外部電極端子が、チップに切断された状態の半導体基板 10 のペリフェラルに沿って直線状に挟ビッチで配列された素子電極上ではなく、この素子電極につながる二次元的なグリッドアレイ状に広ビッチで配列されたランド 32 (外部電極) 上に形成された金属ボール 14 (外部電極端子) である。このように、金属ボール 40 を介して平面的にマザー・ボード上の端子との電気的接続を行ないながらマザー・ボード上に実装できる構造としているので、高密度実装が容易な半導体装置を実現することができる。

【0084】上記第 1 ～第 4 の実施形態では、低弾性率層の開口部の端面つまり半導体基板との境界部が傾斜状になっている場合のみを示したが、本発明はかかる実施形態に限定されるものではない。図 8 (a) ～ (d) は、半導体基板 10 上に低弾性率層 20 の境界部の形状の具体例を示し、順に、曲線状の傾斜部、直線状の傾斜部、コーナー部が鋭角的な段差部、コーナー部が丸みのある段差部を設けた場合の低弾性率層 20 と金属配線 31 との形状をそれぞれ示す断面図である。

【0085】また、上記第 1 ～第 4 の実施形態における製造方法においては、半導体基板をチップに切断してからチップ上に低弾性率層、配線パターン、ソルダーレジスト膜、金属ボールなどを形成するようにしてもよいし、ウエハ上に低弾性率層、配線パターン、ソルダーレジスト膜及び金属ボールを形成する工程を行なってから半導体基板をウエハから切り出すようにしてもよい。あるいは、ウエハ上に低弾性率層、配線パターン、ソルダーレジスト膜及び金属ボールを形成する工程の途中のいずれかの工程までを行なってからウエハから半導体基板を切り出し、その後半導体基板に対して残りの工程を施すようにしてもよい。

【0086】(第 5 の実施形態) 次に、ウエハレベルで半導体装置の検査を行なうようにした例である第 5 の実施形態について説明する。図 9 は、本実施形態に係る半導体装置の検査時におけるウエハの一部を破断して示す断面図である。

【0087】図 9 に示すように、ウエハ 1 の上には、ウエハ 1 内の半導体素子につながる素子電極 11 が設けられており、この素子電極 11 の上にパッド 30 が設けられている。また、ウエハ 1 の上には、パッド 30 が配置された領域を除く領域に弾性率の小さい絶縁性材料からなる低弾性率層 20 が設けられている。この低弾性率層 20 は、パッド 30 が形成されている部分ではなくくさび状の傾斜部を有している。低弾性率層 20 の上には、ウエ

ハ１内の半導体素子と外部機器との間に流れる信号を入力するための外部電極として機能するランド３２が設けられており、このランド３２とパッド３０との間を接続する金属配線３１が設けられている。上記パッド３０と金属配線３１とランド３２とは同一の金属層からなり、併せて金属配線パターン３３を構成している。そして、ランド３２の上には、外部電極端子として機能する金属ボール４０が設けられている。また、半導体装置全体の上には、金属ボール４０が形成されている領域を露出して、その他の領域を覆うソルダーレジスト膜５０が形成されている。つまり、ソルダーレジスト膜５０の開口部に露出するランド３２に金属ボール４０が接合された構造となっている。

【００８８】一方、ウエハ１の上には、多数のコンタクト端子６２を有する検査ボード６１がコンタクト端子６２を下方に向けた状態で配置されている。この検査ボードの各コンタクト端子６２と、ウエハ１上の金属ボール４０とを相対向させるように位置合わせし、加圧して両者を接触させるようにしている。

【００８９】また、検査ボード６１は、電源・信号発生器や出力信号検出器を備えた検査装置７０に電気的に接続されている。そして、検査ボード６１内には、図示されていないが、上記検査装置７０とコンタクト端子６２とを電気的に接続するための配線が設けられている。

【００９０】本実施形態の検査方法によると、各金属ボール４０及び各コンタクト端子６２の高さにばらつきがあっても、ウエハ１上の低弾性率層２０が緩衝材の機能を有することからそのばらつきが吸収されて両者が確実に接触させることができ、ウエハレベルでの半導体装置の検査を行なうことができる。また、ウエハ上に直線状に並ぶ素子電極１１同士の間隔よりも、二次元的に配置された外部電極端子である金属ボール４０間の間隔を広くできるので、検査ボード６１上の配線の形成も容易である。

【００９１】ここで、コンタクト端子６２には、検査ボード６１上にメッキ法や印刷法によって直接形成されたランド状の端子を用いているが、コンタクト端子６２と金属ボール４０との間に、スプリングブローブや、垂直方向のみに導電性を有する導電性シートを介設することで、金属ボール４０とコンタクト端子６２との接触をより確実なものとすることもできる。

【００９２】さらに、ウエハ上の半導体装置を所定の温度に加熱することにより、バーンイン検査方法としても用いることができる。ただし、バーンイン検査などの高温での検査を行なう場合は、検査ボード６１は、半導体素子と熱膨張係数の近いガラス基材やセラミック基材を用いることが好ましい。

【００９３】なお、個々の半導体チップに切り離してから、金属配線や外部電極端子を設けた状態で半導体装置の検査を行なってもよい。

#### 【００９４】

【発明の効果】本発明の半導体装置は、ウエハの半導体基板にも形成可能な構造を有し、小型で薄型の半導体装置であり、また従来のようにリードによる電極の接続ではなく、金属配線層により電極と接続するものであるため、微細加工に適し、多ピンに対応できる半導体装置である。さらに弾性体層を下地として、その上に外部電極と一体化された金属配線層が形成されているため、金属配線層の断線を防止し、また外部電極の熱応力を緩衝でき、基板実装時の接合の信頼性を向上することができる。

【００９５】また製造方法においては、半導体基板上に弾性体層を形成することで柔軟性シートを省くことができるため製造コストを下げることができ、また微細な配線も形成可能であり、かつ本半導体基板をマザー・ボードに実装後のはんだ接合部にかかる熱ストレスを緩和することができ、より低コストで高性能な小型半導体装置を形成することができる。

#### 【図面の簡単な説明】

【図１】第１の実施形態における半導体装置の構造をソルダーレジスト膜を部分的に開口して示す斜視図である。

【図２】第１の実施形態における半導体装置の断面図である。

【図３】第１の実施形態における半導体装置の製造工程のうち薄膜金属層の上に厚膜金属層を形成するまでの工程を示す断面図である。

【図４】第１の実施形態における半導体装置の製造工程のうちメッキレジスト膜を除去した後の工程を示す断面図である。

【図５】外部電極端子として導電性突起を有する第２の実施形態における半導体装置の構造をソルダーレジスト膜を部分的に開口して示す斜視図である。

【図６】金属配線層のランドを外部電極端子として機能させるようにした第３の実施形態における半導体装置の構造をソルダーレジスト膜を部分的に開口して示す斜視図である。

【図７】周辺部に素子電極を配置した第４の実施形態におけるソルダーレジスト膜を部分的に開口して示す斜視図である。

【図８】第１～第４の実施形態における低弾性率層の端部の断面形状のバリエーションを示す半導体装置の部分断面図である。

【図９】第５の実施形態における半導体装置の検査方法を示す断面図である。

【図１０】従来の低弾性率層を備えた半導体装置の断面図である。

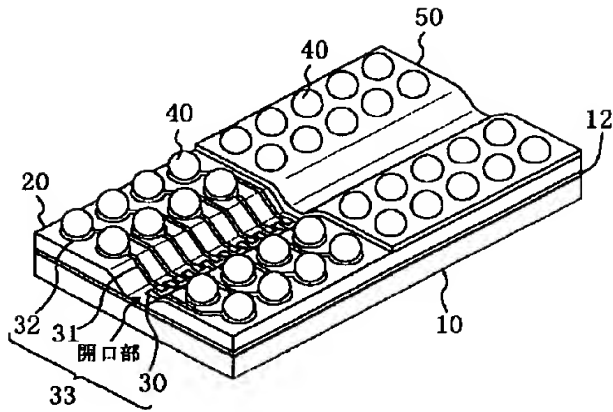
#### 【符号の説明】

１ ウエハ

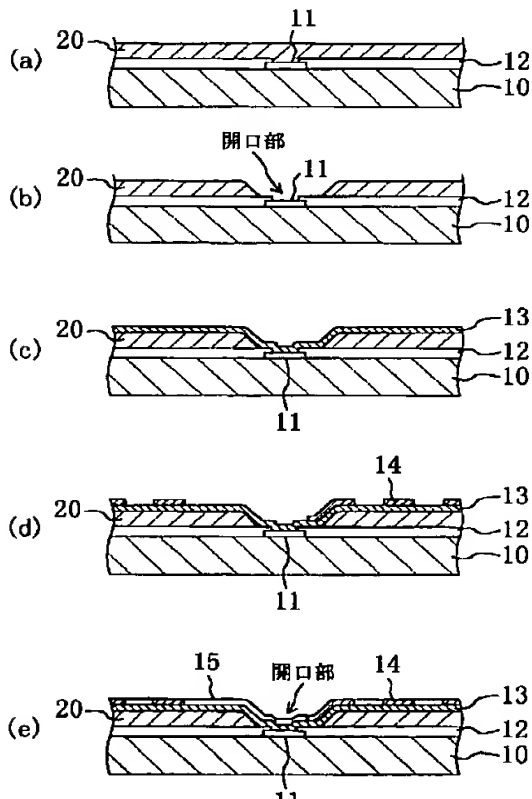
１０ 半導体基板

- 17
- 1 1 素子電極
  - 1 2 パッシベーション膜
  - 1 3 薄膜金属層
  - 1 4 メッキレジスト膜
  - 1 5 厚膜金属層
  - 2 0 低弾性率層 (弾性体層)
  - 3 0 パッド
  - 3 1 金属配線

【図 1】

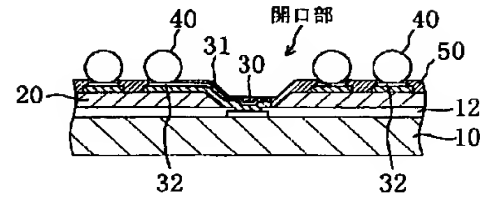


【図 3】

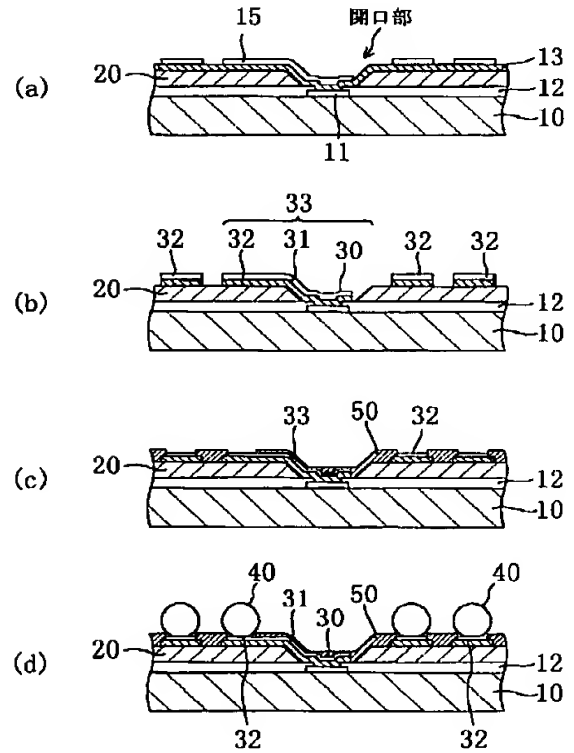


- 18
- \* 3 2 ランド (外部電極)
  - 3 3 金属配線パターン
  - 4 0 金属ボール
  - 4 1 導電性突起
  - 5 0 ソルダーレジスト膜 (保護膜)
  - 6 1 コンタクト端子
  - 6 2 検査ボード
  - \* 7 0 検査装置

【図 2】



【図 4】





フロントページの続き

(72)発明者 隈川 隆博  
大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内

(72)発明者 村上 慎司  
大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内

(72)発明者 原田 豊  
大阪府高槻市幸町 1 番 1 号 松下電子工業  
株式会社内